实验名称：1位的全加法器并构成一个4位的加减法器

实验环境：Windows10系统 Logisim

实验内容：

1. 在Logisim设计一个1位的全加法器FA。
2. 在Logisim设计一个用4个FA4构成一个4位的加减法器：可以在引脚输出结果，并显示在LED上
3. 计算器值作为引脚输入；并采用probe观察计数器C1,C2计数值。

实验步骤

1. 首先构成一个一位全加器，采用了两个或非门，两两进行或非运算，得到的结果即是C，三个与门，一个或门连接三个与门，得到的结果就是进位信号
2. 将构成的全加器在A输入端添加一个或非门，连接减法信号，得到一个加减法运算器
3. 选取四个加减法运算器，串行构成一个四位的加减法器，其中减法信号连接每一个A端或非门和最低位的进位信号。如果进行减法运算，那么最后的进位信号无效，并且得到的结果为补码。





